

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-289853

(43)Date of publication of application : 28.11.1988

(51)Int.Cl.

H01L 27/04

H01L 21/76

H01L 21/88

(21)Application number : 62-125222

(71)Applicant : NEC CORP

(22)Date of filing : 21.05.1987

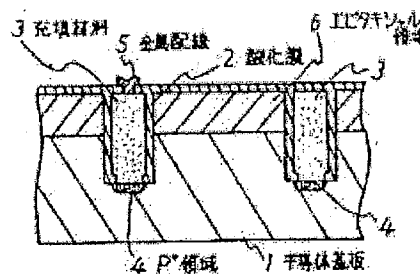
(72)Inventor : SUZUKI MASAO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To suppress an increase in an area of a substrate and to prevent a malfunction by a method wherein a conductive material or a semiconductor material is used as a filler material of a groove structure for device isolation use and through holes are made at the lower parts and the upper part of the groove structure in order to supply a substrate potential.

CONSTITUTION: An N-type epitaxial layer 6 is grown on a P-type semiconductor substrate 1, grooves are made in this epitaxially grown semiconductor substrate 1; an oxide film 2 is coated. P+ regions 4 are formed at the bottom of the grooves; filler materials 3 for the grooves are filled into the grooves. At this stage, through holes used to supply a substrate potential are made at the lower part and the upper part of the oxide film 21 an aluminum wiring part 5 is formed on the filler material 3 at the through hole so that a minimum potential can be supplied to the substrate 1 from this aluminum wiring part 5. As the filler materials for the grooves, P-type doped polysilicon or silicide is used. By this setup, it is possible to suppress an increase in an area of the substrate and to prevent a malfunction when the substrate potential loses its support.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-289853

⑮ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)11月28日

H 01 L 27/04
21/76
21/88

D-7514-5F
L-7131-5F
J-6708-5F

審査請求 未請求 発明の数 1 (全2頁)

⑭ 発明の名称 半導体装置

⑰ 特 願 昭62-125222

⑱ 出 願 昭62(1987)5月21日

⑲ 発 明 者 鈴木 正 雄 東京都港区芝5丁目33番1号 日本電気株式会社内

⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

㉑ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体装置

特許請求の範囲

半導体基板上的のエピタキシャル層および絶縁膜を形成し、この絶縁膜上から前記基板に達する溝分離構造を設けた半導体装置において、前記溝底部に前記基板と導電させる開口を設けてその溝内部に導体または半導体の充填材料を充填し、この充填材料上に金属配線を設けることにより、この金属配線から基板に電位を供給できるようにしたことを特徴とする半導体装置。

発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置に関し、特に溝構造による素子間分離を有したバイポーラ型半導体装置の基板電位の供給構造に関する。

(従来の技術)

従来、バイポーラ型の半導体装置では、一般的に基板電位を与える方法として、最低電位の金属配線、及びP⁺型領域を基板に作り、基板に最低電位を供給していた。

このことを第2図に従って説明する。半導体基板1にエピタキシャル層6を成長し、溝を形成して酸化膜2を被膜し、P⁺領域4を形成し、素子分離用に酸化膜2及び溝内部充填材料3を充填して素子分離用溝を形成し、また基板電位供給用にP⁺型領域7を形成し、このP⁺領域7の上に金属配線5を形成している。

(発明が解決しようとする問題点)

上述した従来の基板電位の供給方法では、アルミ等の金属配線5、及びP⁺領域を必ず使用するので、半導体基板1の面積を増大させ、あるいは逆に半導体基板1の面積に対する制約により十分に基板電位を与えられないため寄生素子による電流漏れによる基板電位の浮上りを生じ、半導体装置の誤動作を起しやすいという欠点がある。

本発明の目的は、このような欠点を除き、基板面積の増大を抑えると共に、基板電位の浮き上りによる誤動作をなくすようにした半導体装置を提供することにある。

〔問題点を解決するための手段〕

本発明の構成は、半導体基板上のエピタキシャル層および絶縁膜を形成し、この絶縁膜上から前記基板に達する溝分離構造を設けた半導体装置において、前記溝底部に前記基板と導電させる開口を設けてその溝内部に導体または半導体の充填材料を充填し、この充填材料上に金属配線を設けることにより、この金属配線から基板に電位を供給できるようにしたことを特徴とする。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例の縦断面図である。P型半導体基板1にN型エピタキシャル層6を成長し、このエピタキシャル成長済の半導体基板1に溝を形成し、酸化膜2を被覆する。この溝底部

にP⁺領域4を形成し、溝内に溝充填材料3を充填する。ここで酸化膜2の低面と上面にそれぞれ基板電位供給用のスルーホールを開口しておき、このスルーホールの充填材料3上にアルミ配線5を形成し、このアルミ配線5から基板1に最低電位を供給できるようにしておく。

なお、溝充填材料3には、P型ドーパドポリシリコン、あるいはシリサイドが用いられる。

〔発明の効果〕

以上説明したように本発明は、素子絶縁のための溝構造の充填材料に導電材料或いは半導体材料を用い、かつ溝構造の低部及び上部にスルーホールを開口して基板電位を供給できるので、従来の基板電位供給用の金属配線及び基板に電位供給するためのP⁺型領域7を形成する必要がなくなり、基板の面積の増大を最小におさえ、かつ素子絶縁のための溝が使用できるため、内部素子の真近で基板電位を十分低インピーダンスで供給出来、寄生素子による基板電位の上昇を最小におさえ、半導体装置の誤動作を最小にできるという効果がある。

果がある。

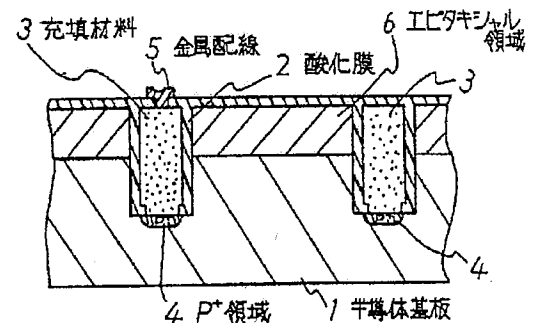
図面の簡単な説明

第1図は本発明の一実施例の基板電位供給部分の縦断面図、第2図は従来の基板電位供給部の断面図である。

1…半導体基板、2…酸化膜、3…溝内充填材料、4、7…P⁺領域、5…金属配線、6…エピタキシャル領域。

代理人 弁理士 内 原 晋 (并 列)

第1図



第2図

